

【11】證書號數：I309384

【45】公告日：中華民國98(2009)年5月1日

【51】Int. Cl. : G06F9/455 (2006.01)

發明 全 5 頁

【54】名稱：測試硬體描述語言所撰寫之硬體電路方塊之方法

【21】申請案號：095100187

【22】申請日：中華民國95(2006)年1月3日

【11】公開編號：200727174

【43】公開日：中華民國96(2007)年7月16日

【72】發明人：鄭福炯 CHENG, FU CHIUNG；黃年時；陳建一

【71】申請人：大同股份有限公司 TATUNG CO., LTD.

臺北市中山區中山北路3段22號

大同大學 TATUNG UNIVERSITY

臺北市中山區中山北路3段40號

【74】代理人：吳冠賜；楊慶隆；林志鴻

【56】參考文獻：

TW 200424842A

US 6757882B2

Jing-Reng Huang, Madhu Iyer, and Kwang-Ting Cheng. " A Self-Test Methodology for IP Cores in Bus-Based Programmable SoCs". VLSI Test Symposium 2001, IEEE, April, 2001.

1

2

[57]申請專利範圍：

1.一種測試硬體描述語言所撰寫之硬體電路方塊之方法，包括：

步驟(A)：將一原始類別轉換成一包裝類別，其中，與原始類別比較，該包裝類別能額外記錄該硬體電路方塊之輸入資料以及輸出資料；

步驟(B)：產生一硬體邏輯模擬所需的一頂端模組；

步驟(C)：將一原始單元測試轉換為一擴充單元測試；

步驟(D)：以該擴充單元測試而對該包裝類別執行單元測試以產生一輸入圖樣檔案；以及

步驟(E)：依據該頂端模組及該輸入圖樣檔案而對該硬體電路方塊進行該硬體邏輯模擬。

2.如申請專利範圍第1項所述之測試硬體描述語言所撰寫之硬體電路方塊之方法，其中，步驟(A)包括下列步驟：

10.

- 步驟(A1)：依據一非同步訊號通信協定而設定一非公開資料成員；
- 步驟(A2)：將該輸入參數記錄至該非公開資料成員；
- 步驟(A3)：將該回傳值記錄至該非公開資料成員；
- 步驟(A4)：依該特定訊號通信協定而重置該非公開資料成員；
- 步驟(A5)：將步驟(A1)、步驟(A3)、及步驟(A4)依序紀錄至該包裝類別之佇列中；以及
- 步驟(A6)：定義該原始類別所未定義之公用方法。
- 3.如申請專利範圍第1項所述之測試硬體描述語言所撰寫之硬體電路方塊之方法，其中，硬體描述語言係為VHDL或Verilog。

- 4.如申請專利範圍第1項所述之測試硬體描述語言所撰寫之硬體電路方塊之方法，其中，硬體描述語言係以java語言以進行撰寫。
- 5.如申請專利範圍第1項所述之測試硬體描述語言所撰寫之硬體電路方塊之方法，其中，硬體電路方塊係採用一非同步四相訊號通信協定。
- 圖式簡單說明：
10. 圖1係本發明之測試硬體描述語言所撰寫之硬體電路方塊之方法的流程圖。
- 圖2係將 **original class** 轉換成 **wrapper class** 之步驟之細部流程圖。
15. 圖3係本發明之測試硬體描述語言所撰寫之硬體電路方塊之方法的示意圖。

(3)

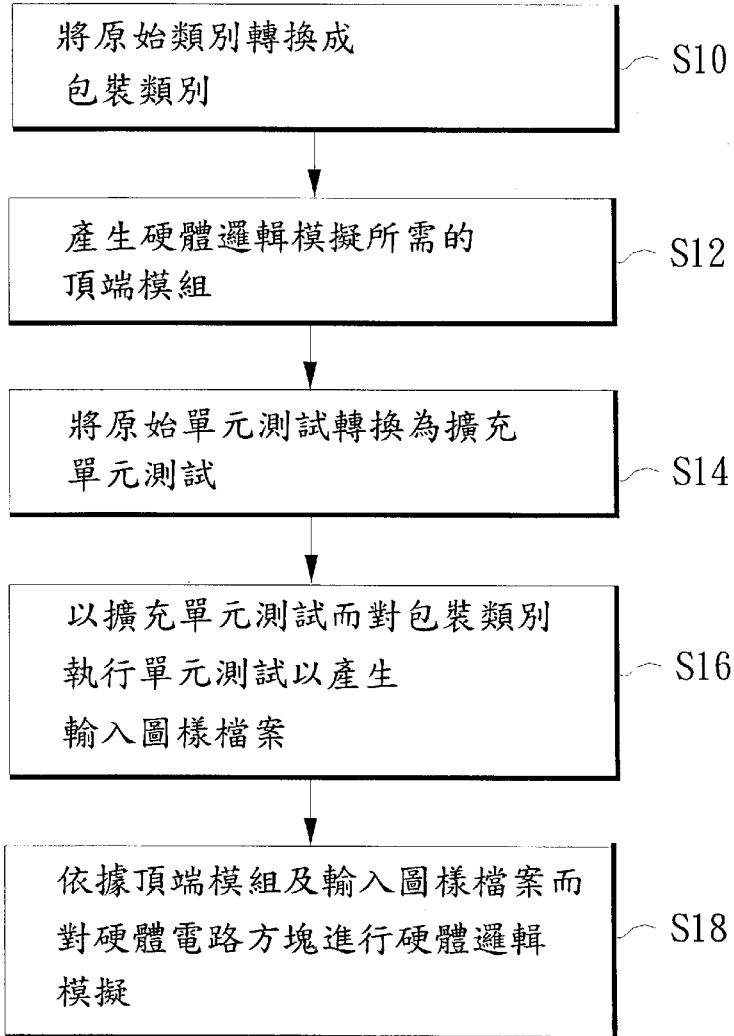


圖 1

(4)

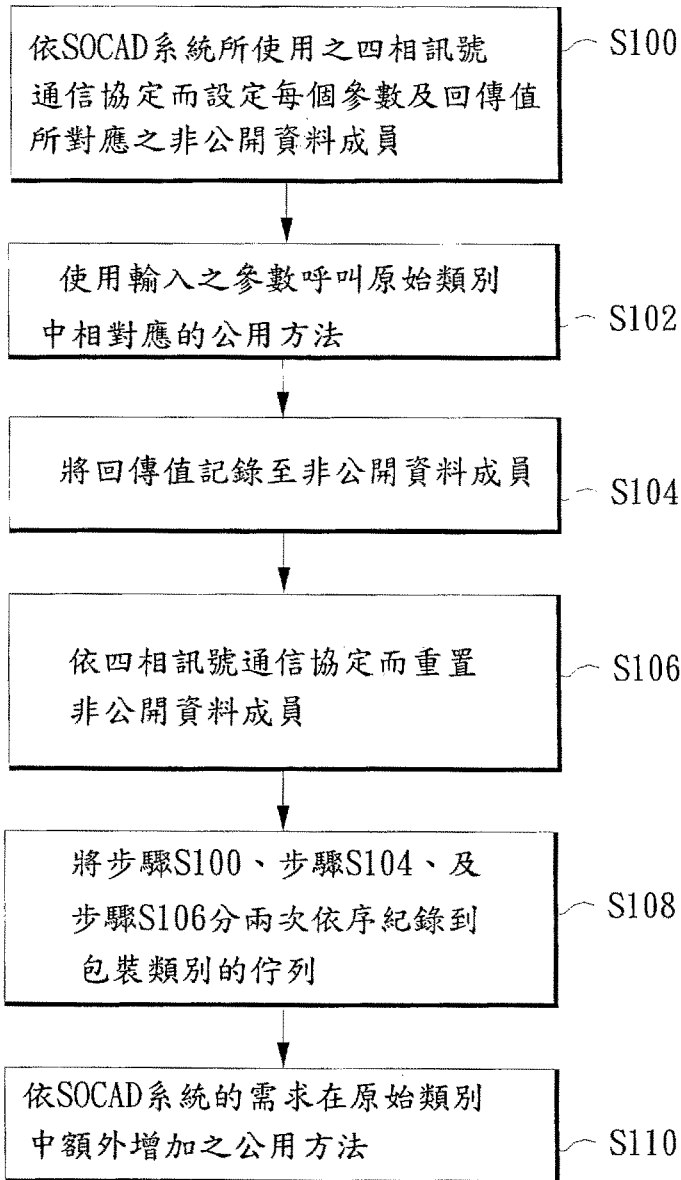


圖 2

(5)

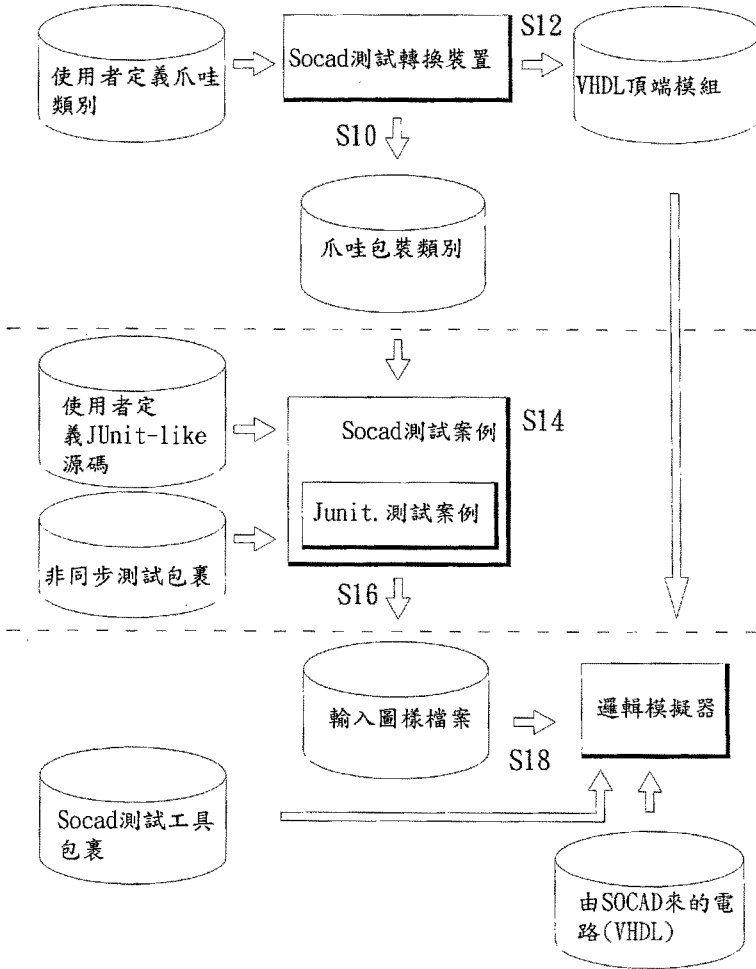


圖 3

