

【11】證書號數：I309383

【45】公告日：中華民國98(2009)年5月1日

【51】Int. Cl. : **G06F9/45 (2006.01)** **G06F17/40 (2006.01)**
G06F17/50 (2006.01)

發明 全 21 頁

【54】名稱：硬體元件圖轉換硬體描述語言之方法

【21】申請案號：094147594

【22】申請日：中華民國94(2005)年12月30日

【11】公開編號：200725414

【43】公開日：中華民國96(2007)年7月1日

【72】發明人：鄭福炯 CHENG, FU CHIUNG；張書銘；陳建一；王潔如；周錦泰；黃年時；謝其煥；王平雲；張立楷

【71】申請人：大同股份有限公司 TATUNG CO., LTD.
臺北市中山區中山北路3段22號
大同大學 TATUNG UNIVERSITY
臺北市中山區中山北路3段40號

【74】代理人：吳冠賜；楊慶隆；林志鴻

【56】參考文獻：

TW 552555

CN 1595358A

US 2005/0273751A1

1

2

[57]申請專利範圍：

1.一種硬體元件圖轉換硬體描述語言之方法，該硬體元件圖包括至少一起始節點及複數個元件節點，該方法包括步驟：

- (A)讀取一硬體元件圖，其中該硬體元件圖包括有複數個子硬體元件圖；
- (B)找出該硬體元件圖之一起始節點，以得到相對應的子硬體元件圖；

(C)分析該起始節點的資訊，俾加入輸入及輸出的元件，以產生硬體描述語言的實體；

- 5. (C1)檢查是否尚有未分析之子硬體元件圖，若有尚有未分析之子硬體元件圖，則重覆步驟(B)及步驟(C)，直到所有起始節點均分析完成；
- (D)判斷該硬體元件圖中節點的型別，產生相對應的硬體描述語言物件，並將相關資訊寫入硬體描述語
- 10.

言的架構中；

(E)根據該硬體元件圖之連線，產生相對應硬體描述語言元件之訊號連接；以及

(F)以字串方式將硬體描述語言的實體和架構輸出至一檔案。

2.如申請專利範圍第1項所述之硬體元件圖轉換硬體描述語言之方法，其中該步驟(A)更包含子步驟：

(A1)將該硬體元件圖轉換至一修正硬體元件圖，俾執行硬體描述語言轉換。

3.如申請專利範圍第1項所述之硬體元件圖轉換硬體描述語言之方法，其中該硬體元件圖更包含一結束節點。

4.如申請專利範圍第1項所述之硬體元件圖轉換硬體描述語言之方法，其中該硬體元件圖係一種流程控制圖。

5.如申請專利範圍第1項所述之硬體元件圖轉換硬體描述語言之方法，其中該硬體元件圖係以表示硬體元件與硬體元件之間的連接關係。

6.如申請專利範圍第1項所述之硬體元件圖轉換硬體描述語言之方法，其中該步驟(D)係使用元件叫用方式，

以產生相對應的硬體描述語言物件。

圖式簡單說明：

5. 圖1係本發明硬體元件圖(HCG)轉換成 VHDL 硬體描述語言之流程圖。

圖2係本發明開始節點、結束節點及元件節點之示意圖。

圖3係本發明之控制路徑模組的示意圖。

10. 圖4係本發明之資料路徑模組的示意圖。

圖5係本發明之一加法之 Java 程式碼的示意圖。

15. 圖6為圖5之硬體元件圖的示意圖。

圖7係本發明之 Java 加法器的示意圖。

圖8係圖7Java 加法器對應之硬體元件圖的示意圖。

20. 圖9、10、11、12、13係本發明之硬體元件圖修正過程之的示意圖。

圖14A~G係本發明之硬體元件圖轉換成 VHDL 程式碼的示意圖。

25. 圖15係本發明輸出之 VHDL 程式碼合成後的電路圖。

(3)

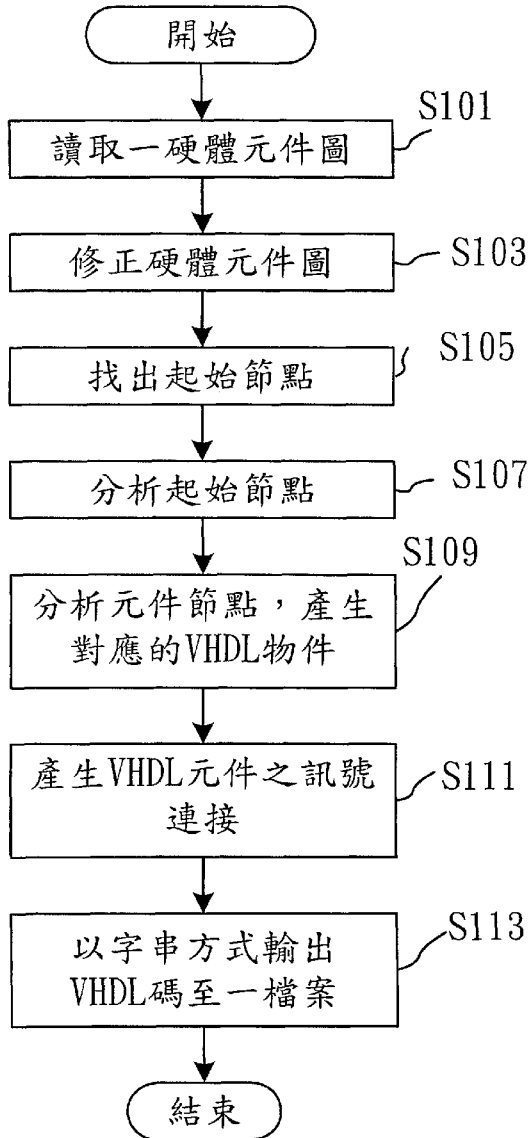


圖 1

(4)

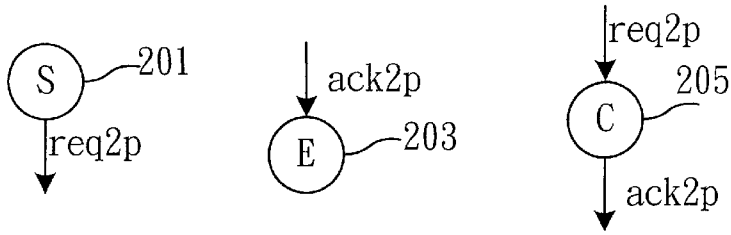


圖 2

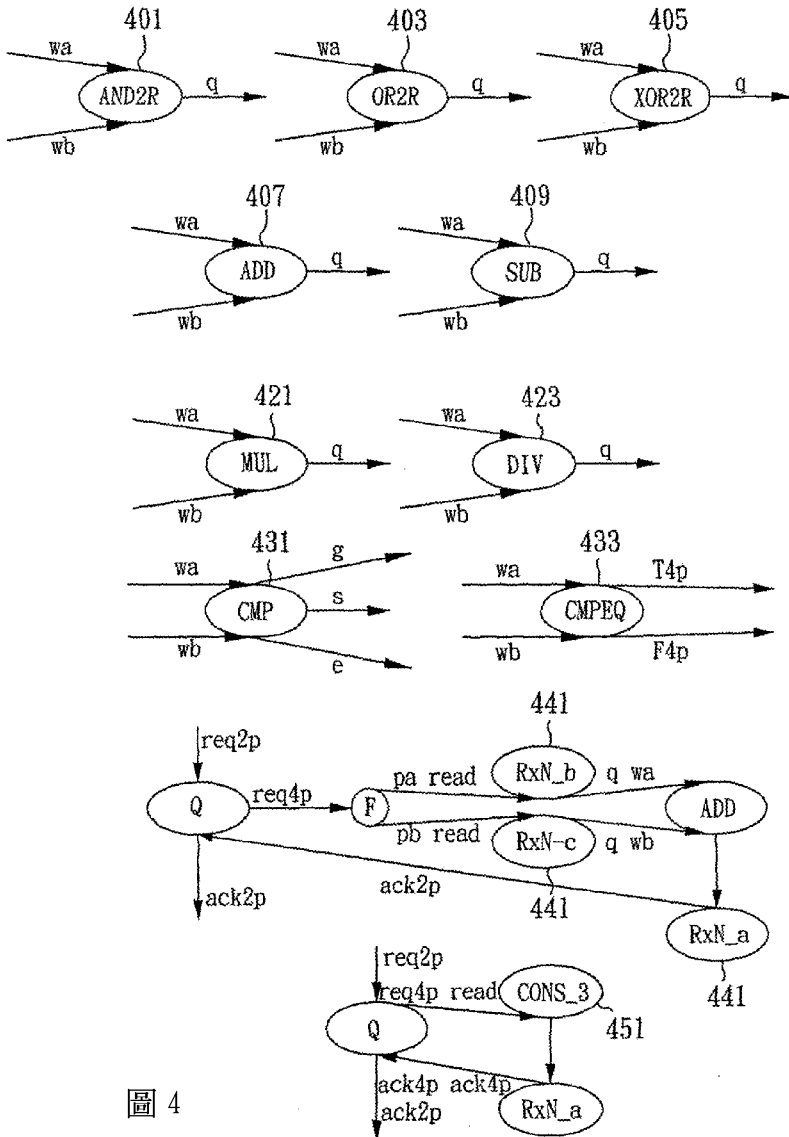


圖 4

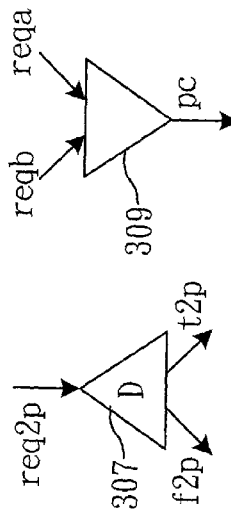
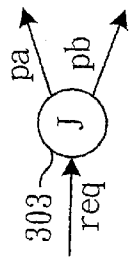
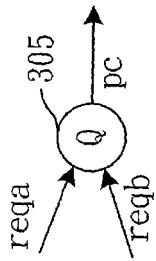
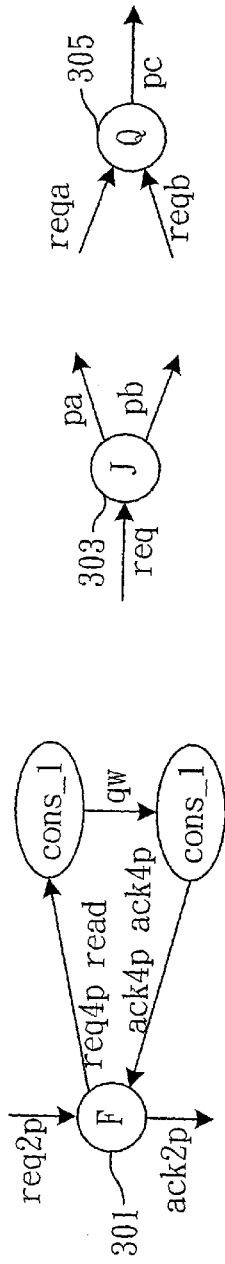


圖 3

(5)

(6)

```
public class SummationWhile {
    public static int sumTo(int cnt) {
        int sum = 0, i = 0;
        while (i < cnt) {
            i++;
            sum+=i;
        }
        return sum;
    }
    public static void main(String[] args) {
        System.out.println(SummationWhile.sumTo(9));
    }
}
```

圖 5

```
public class Math {

    private int add(int a, int b) {

        return a+b;

    }

    public static int test(int c, int d) {

        return add(c,d);

    }

}
```

圖 7

C=SummationWhile, 1 M=sinit, 1 M=sumToz1, 9

M=sumToz1, 9R=int, 32, retsumToz1 P=int, 32, cnt L=int, 32, i L=int, 32, sum L=int, 32, cnt

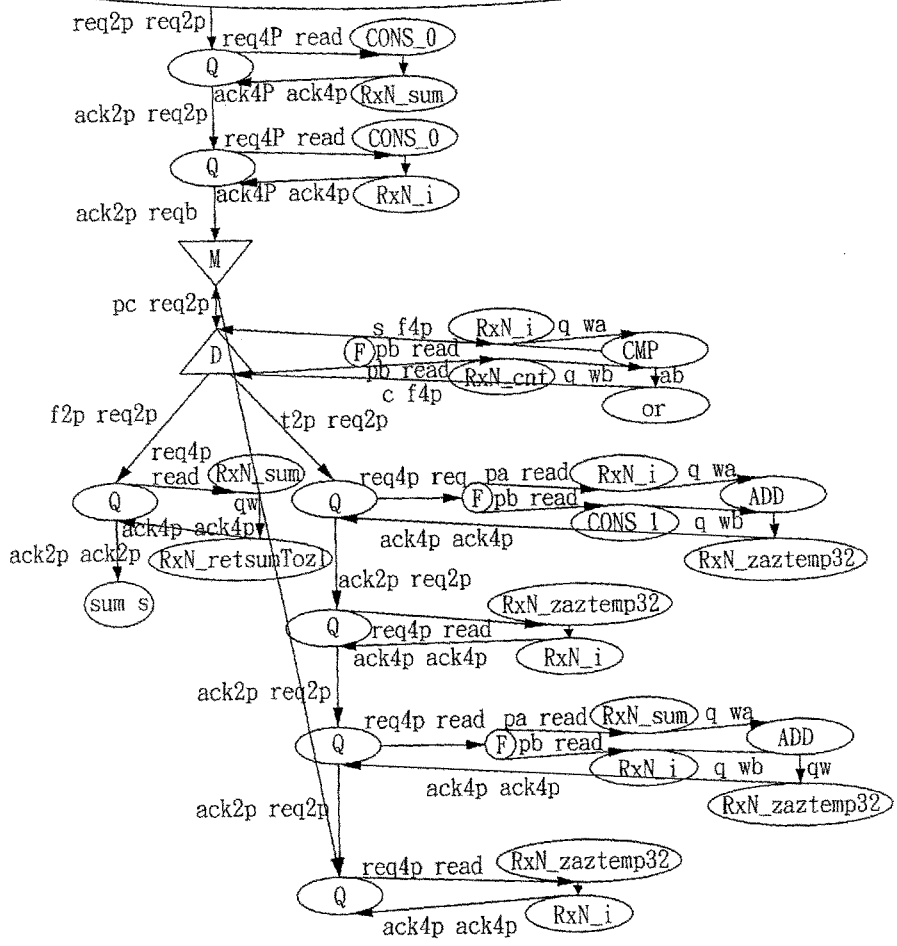


圖 6

(8)

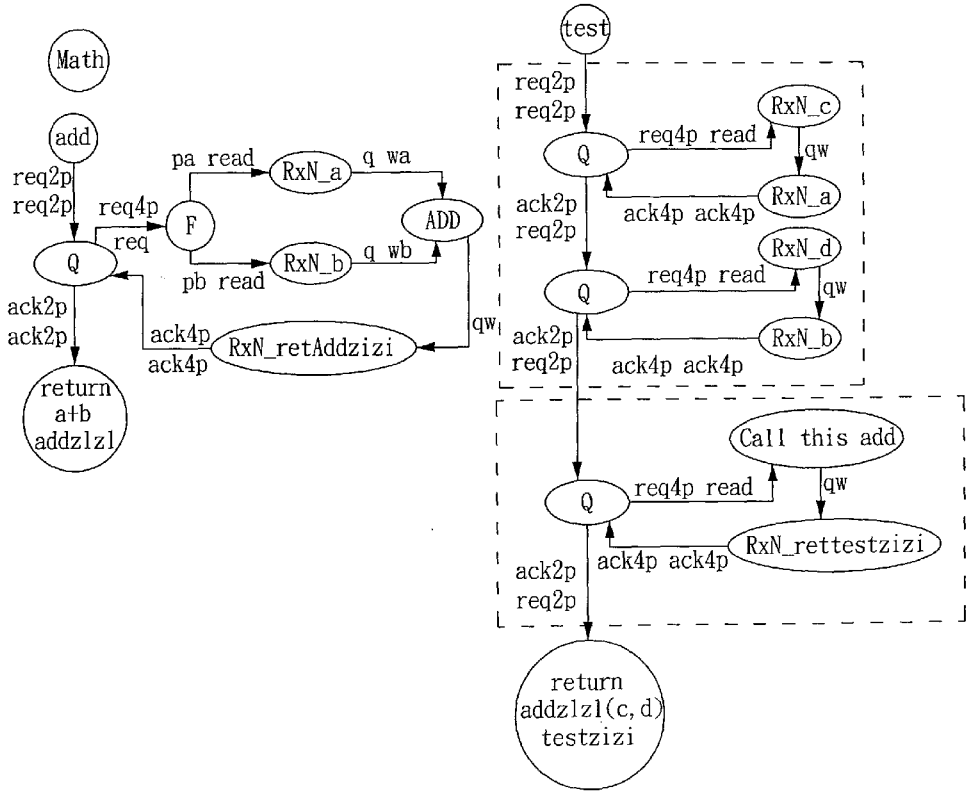


图 8

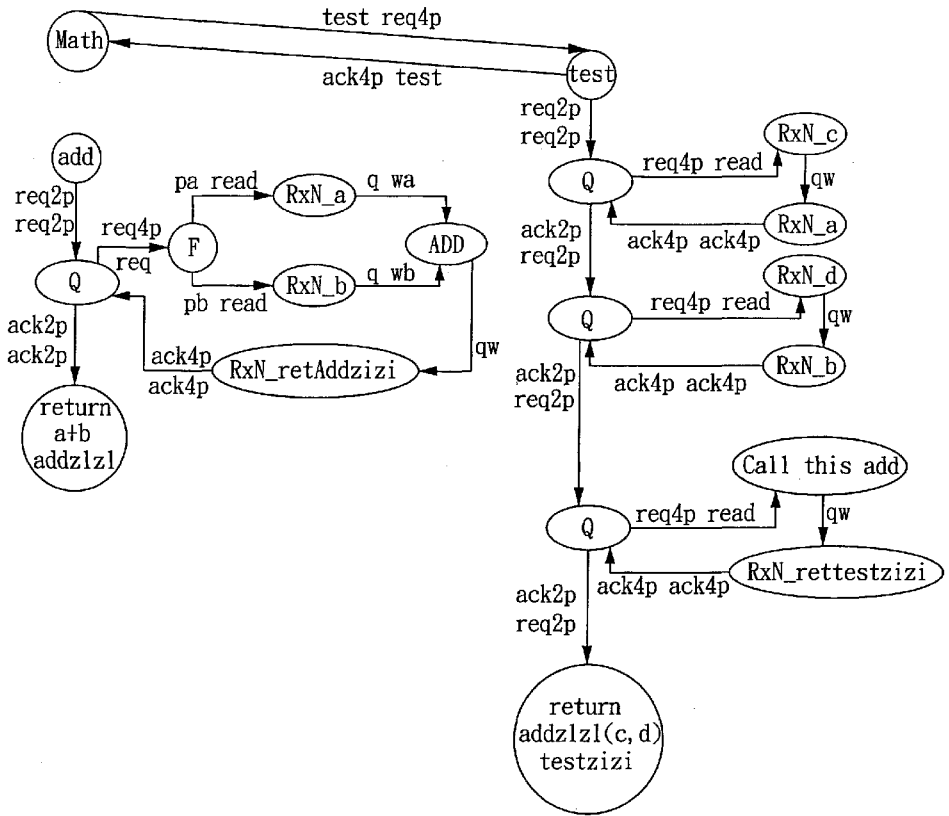


圖 9

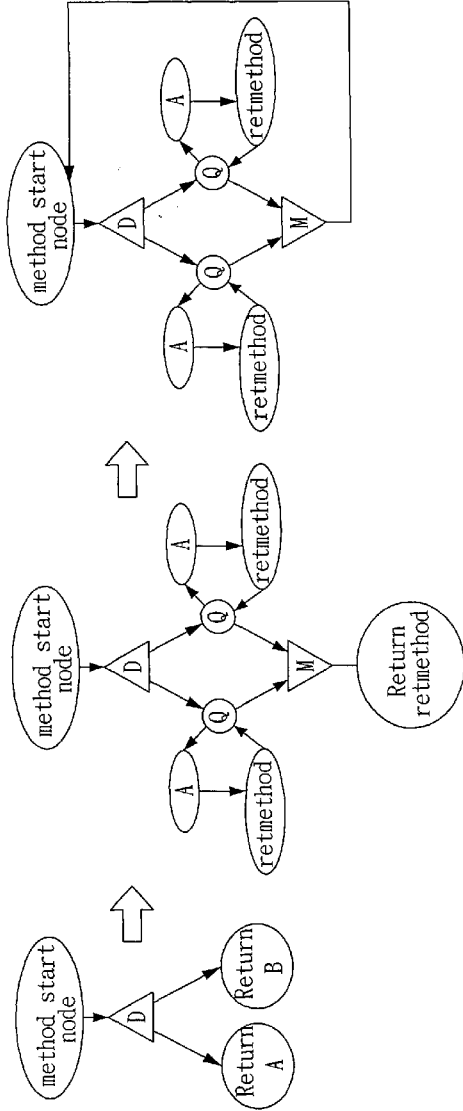


圖 10

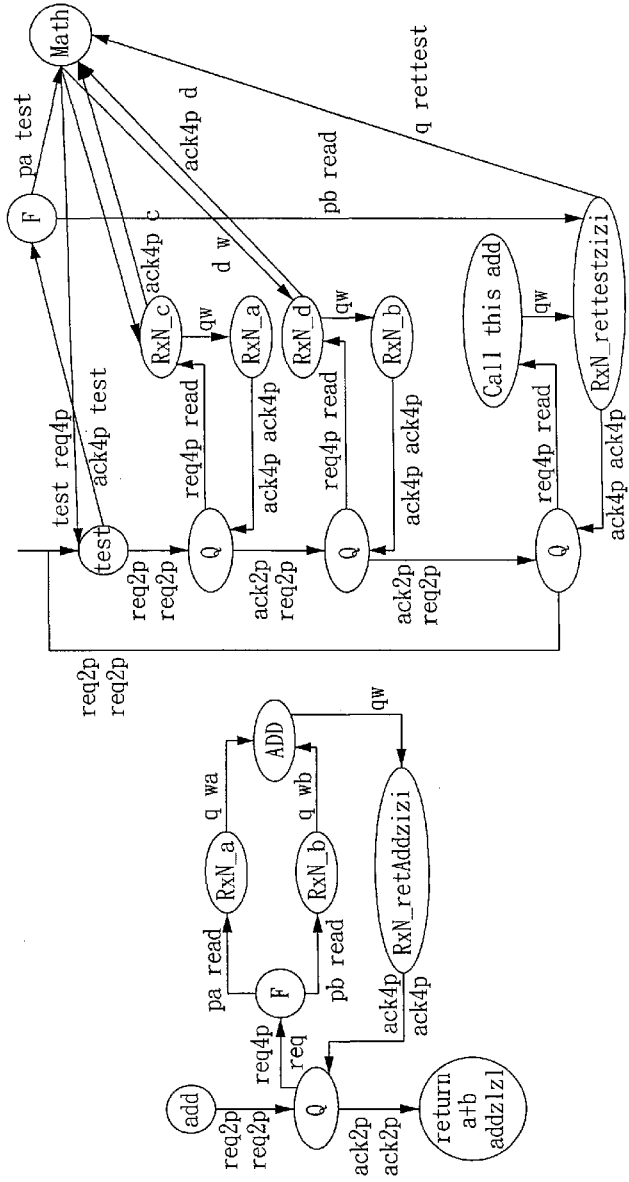


图 11

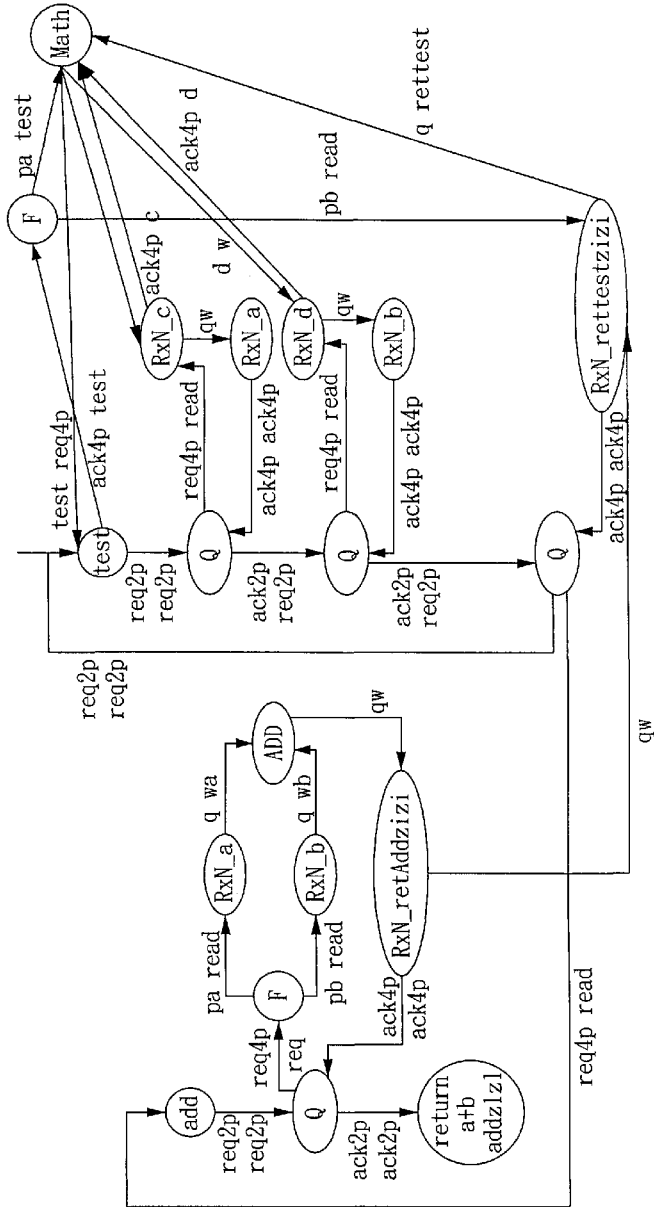


圖 12


```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE work.Control2p.all;
USE work.Converters.all;
USE work.Datapath4p.all;
USE work.Basiccells2r.all;
ENTITY Math IS
    PORT(
        testIzReq4p : IN STD_LOGIC;
        testIzAck4p : OUT STD_LOGIC;
        d1 : IN STD_LOGIC_VECTOR(31 DOWNTO 0);
        d0 : IN STD_LOGIC_VECTOR(31 DOWNTO 0);
        dAck4p : OUT STD_LOGIC;
        c1 : IN STD_LOGIC_VECTOR(31 DOWNTO 0);
        c0 : IN STD_LOGIC_VECTOR(31 DOWNTO 0);
        cAck4p : OUT STD_LOGIC;
        rettestIzI1 : OUT STD_LOGIC_VECTOR(31 DOWNTO 0);
        rettestIzI0 : OUT STD_LOGIC_VECTOR(31 DOWNTO 0);
        clr : IN STD_LOGIC
    );
END ENTITY Math;

```

圖 14A

```

ARCHITECTURE ArchMath OF Math IS
    SIGNAL M_START_req2p_M13_Q_req2p_3 : STD_LOGIC;
    SIGNAL M_START_req2p_M19_Q_req2p_4 : STD_LOGIC;
    SIGNAL M12_F_pa_M18_RxN_a_read_5 : STD_LOGIC;
    SIGNAL M12_F_pb_M11_RxN_b_read_6 : STD_LOGIC;
    SIGNAL M18_RxN_a_q1_M10_ADD_wa1_7 : STD_LOGIC_VECTOR(31 DOWNTO 0);
    SIGNAL M11_RxN_b_q1_M10_ADD_wb1_8 : STD_LOGIC_VECTOR(31 DOWNTO 0);
    SIGNAL M13_Q_req4p_M12_F_req_9 : STD_LOGIC;
    SIGNAL M10_ADD_q1_M8_RxN_retaddz1z1_w1_10 : STD_LOGIC_VECTOR(31 DOWNTO 0);
    SIGNAL M8_RxN_retaddz1z1_ack4p_M13_Q_ack4p_11 : STD_LOGIC;
    SIGNAL M13_Q_ack2p_M_START_ack2p_12 : STD_LOGIC;
    SIGNAL M19_Q_req4p_M16_RxN_c_read_13 : STD_LOGIC;
    SIGNAL M16_RxN_c_q1_M18_RxN_a_w1_14 : STD_LOGIC_VECTOR(31 DOWNTO 0);
    SIGNAL M18_RxN_a_ack4p_M19_Q_ack4p_15 : STD_LOGIC;
    SIGNAL M21_Q_req4p_M23_RxN_d_read_16 : STD_LOGIC;
    SIGNAL M23_RxN_d_q1_M11_RxN_b_w1_17 : STD_LOGIC_VECTOR(31 DOWNTO 0);
    SIGNAL M11_RxN_b_ack4p_M21_Q_ack4p_18 : STD_LOGIC;
    SIGNAL M19_Q_ack2p_M21_Q_req2p_19 : STD_LOGIC;
    SIGNAL M22_Q_req4p_M_START_req4p_20 : STD_LOGIC;
    SIGNAL M8_RxN_retaddz1z1_q1_M14_RxN_rettestz1z1_w1_21 : STD_LOGIC_VECTOR(31 DOWNTO 0);

```

圖 14B

```

SIGNAL M14_RxN_rettetzlzl_ack4p_M22_Q_ack4p_22 : STD_LOGIC;
SIGNAL M21_Q_ack2p_M22_Q_req2p_23 : STD_LOGIC;
SIGNAL M22_Q_ack2p_M_START_ack2p_24 : STD_LOGIC;
SIGNAL M_START_ack4p_M26_F_req_31 : STD_LOGIC;
SIGNAL M26_F_pa_M14_RxN_rettetzlzl_read_32 : STD_LOGIC;
SIGNAL M_START_ack4p_M8_RxN_retaddzlzl_read_34 : STD_LOGIC;
SIGNAL M8_RxN_retaddzlzl_q1_M_START_w1_35 : STD_LOGIC_VECTOR(31 DOWNTO 0);
SIGNAL M18_RxN_a_q0_M10_ADD_wa0_36 : STD_LOGIC_VECTOR(31 DOWNTO 0);
SIGNAL M11_RxN_b_q0_M10_ADD_wb0_37 : STD_LOGIC_VECTOR(31 DOWNTO 0);
SIGNAL M16_RxN_c_q0_M18_RxN_a_w0_39 : STD_LOGIC_VECTOR(31 DOWNTO 0);
SIGNAL M23_RxN_d_q0_M11_RxN_b_w0_40 : STD_LOGIC_VECTOR(31 DOWNTO 0);
SIGNAL M8_RxN_retaddzlzl_q0_M14_RxN_rettetzlzl_w0_41 : STD_LOGIC_VECTOR(31 DOWNTO 0);
SIGNAL M8_RxN_retaddzlzl_q0_M_START_w0_45 : STD_LOGIC_VECTOR(31 DOWNTO 0);
SIGNAL ONEFLAG : STD_LOGIC;
SIGNAL ZEROFLAG : STD_LOGIC;
BEGIN

```

圖 14C


```

M4_addrZlzl: Converter4p_2p
PORT MAP(req4p => M22_Q_req4p_M_START_req4p_20, req2p => M_START_req2p_M13_Q_req2p_3, ack2p =>
M13_Q_ack2p_M_START_ack2p_12, ack4p => M_START_ack4p_M8_RxN_retaddzlzl_read_34, clr => clr);
M6_testzlzl: Converter4p_2p
PORT MAP(req4p => testzlzlReq4p, req2p => M_START_req2p_M19_Q_req2p_4, ack2p =>
M22_Q_ack2p_M_START_ack2p_24, ack4p =>
M_START_ack4p_M26_F_req_31, clr => clr);
M8_retaddzlzl: Reg1xn
GENERIC MAP(HIGH => 31, LOW => 0)
PORT MAP(read => M_START_ack4p_M8_RxN_retaddzlzl_read_34, w1 => M10_ADD_q1_M8_RxN_retaddzlzl_w1_10, w0
=>
M10_ADD_q0_M8_RxN_retaddzlzl_w0_38, q1 => M8_RxN_retaddzlzl_q1_M14_RxN_retestzlzl_w1_21, q0 =>
M8_RxN_retaddzlzl_q0_M_START_w0_45, ack4p => M8_RxN_retaddzlzl_ack4p_M13_Q_ack4p_11, clr => clr);
ONEFLAG <= '1';
ZEROFLAG <= '0';
M10_ADD: Adder_DIRCA
GENERIC MAP(HIGH => 31, LOW => 0)
PORT MAP(wa1 => M18_RxN_a_q1_M10_ADD_wa1_7, wa0 => M18_RxN_a_q0_M10_ADD_wa0_36, wb1 =>
M11_RxN_b_q1_M10_ADD_wb1_8, wb0 => M11_RxN_b_q0_M10_ADD_wb0_37, ci1 => ZEROFLAG, ci0 => ONEFLAG, q1 =>
M10_ADD_q1_M8_RxN_retaddzlzl_w1_10, q0 => M10_ADD_q0_M8_RxN_retaddzlzl_w0_38, co1 => open, co0 => open);

```

圖 14D

```

M11_b: Reg1xn
    GENERIC MAP(HIGH => 31, LOW => 0)
    PORT MAP(read => M12_F_pb_M11_RxN_b_read_6, w1 => M23_RxN_d_q1_M11_RxN_b_w1_17, w0 =>
M23_RxN_d_q0_M11_RxN_b_w0_40, q1 => M11_RxN_b_q1_M10_ADD_wb1_8, q0 => M11_RxN_b_q0_M10_ADD_wb0_37,
ack4p =>
M11_RxN_b_ack4p_M21_Q_ack4p_18, clr => clr);
M12_F: Fork
    PORT MAP(req => M13_Q_req4p_M12_F_req_9, pa => M12_F_pa_M18_RxN_a_read_5, pb =>
M12_F_pb_M11_RxN_b_read_6);
M13_Q: Converter2p_4p
    PORT MAP(req2p => M_START_req2p_M13_Q_req2p_3, req4p => M13_Q_req4p_M12_F_req_9, ack4p =>
M8_RxN_retaddzlzl_ack4p_M13_Q_ack4p_11, ack2p => M13_Q_ack2p_M_START_ack2p_12, clr => clr);
M14_rettetzlzl: Reg1xn
    GENERIC MAP(HIGH => 31, LOW => 0)
    PORT MAP(read => M26_F_pa_M14_RxN_rettetzlzl_read_32, w1 => M8_RxN_retaddzlzl_q1_M14_RxN_rettetzlzl_w1_21,
w0 =>
M8_RxN_retaddzlzl_q0_M14_RxN_rettetzlzl_w0_41, q1 => rettetzlzlI, q0 => rettetzlzlO, ack4p =>
M14_RxN_rettetzlzl_ack4p_M22_Q_ack4p_22, clr => clr);

```

圖 14E

```

M16_c: Reg1xn
  GENERIC MAP(HIGH => 31, LOW => 0)
  PORT MAP(read => M19_Q_req4p_M16_RxN_c_read_13, w1 => c1, w0 => c0, q1 => M16_RxN_c_q1_M18_RxN_a_w1_14, q0
=>
M16_RxN_c_q0_M18_RxN_a_w0_39, ack4p => cAck4p, clr => clr);
  M18_a: Reg1xn
  GENERIC MAP(HIGH => 31, LOW => 0)
  PORT MAP(read => M12_F_pa_M18_RxN_a_read_5, w1 => M16_RxN_c_q1_M18_RxN_a_w1_14, w0 =>
M16_RxN_c_q0_M18_RxN_a_w0_39, q1 => M18_RxN_a_q1_M10_ADD_wa1_7, q0 => M18_RxN_a_q0_M10_ADD_wa0_36,
ack4p =>
M18_RxN_a_ack4p_M19_Q_ack4p_15, clr => clr);
  M19_Q: Converter2p_4p
  PORT MAP(req2p => M_START_req2p_M19_Q_req2p_4, req4p => M19_Q_req4p_M16_RxN_c_read_13, ack4p =>
M18_RxN_a_ack4p_M19_Q_ack4p_15, ack2p => M19_Q_ack2p_M21_Q_req2p_19, clr => clr);
  M21_Q: Converter2p_4p
  PORT MAP(req2p => M19_Q_ack2p_M21_Q_req2p_19, req4p => M21_Q_req4p_M23_RxN_d_read_16, ack4p =>
M11_RxN_b_ack4p_M21_Q_ack4p_18, ack2p => M21_Q_ack2p_M22_Q_req2p_23, clr => clr);

```

圖 14F

```

M22_Q: Converter2p_4p
  PORT MAP(req2p => M21_Q_ack2p_M22_Q_req2p_23, req4p => M22_Q_req4p_M_START_req4p_20, ack4p =>
M14_RxN_rettetstzlzl_ack4p_M22_Q_ack4p_22, ack2p => M22_Q_ack2p_M_START_ack2p_24, clr => clr);
M23_d: Reg1xn
  GENERIC MAP(HIGH => 31, LOW => 0)
  PORT MAP(read => M21_Q_req4p_M23_RxN_d_read_16, w1 => d1, w0 => d0, q1 => M23_RxN_d_q1_M11_RxN_b_w1_17,
q0 =>
M23_RxN_d_q0_M11_RxN_b_w0_40, ack4p => dAck4p, clr => clr);
M26_F: Fork
  PORT MAP(req => M_START_ack4p_M26_F_req_31, pa => M26_F_pa_M14_RxN_rettetstzlzl_read_32, pb => testzlzlAck4p);
END ArchMath;

```

圖 14G

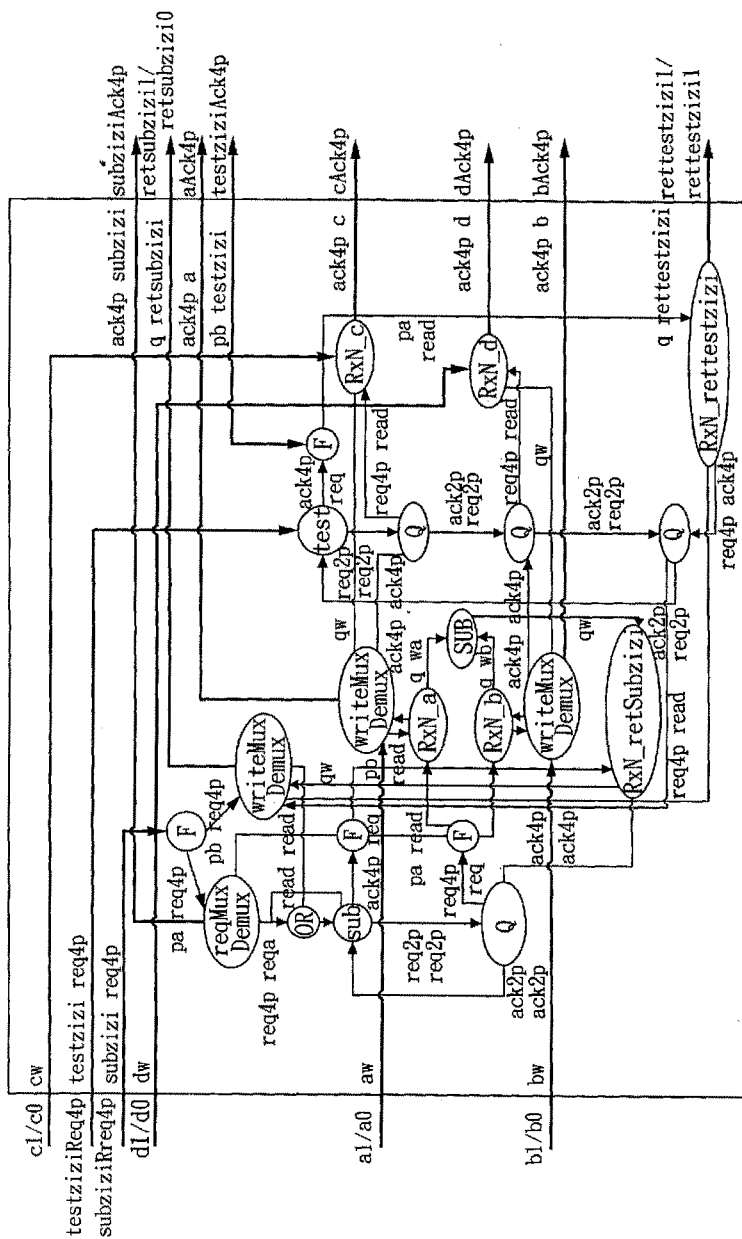


圖 15

